

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208670

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 23/12

(21)Application number : 11-005337

(71)Applicant : MURATA MFG CO LTD

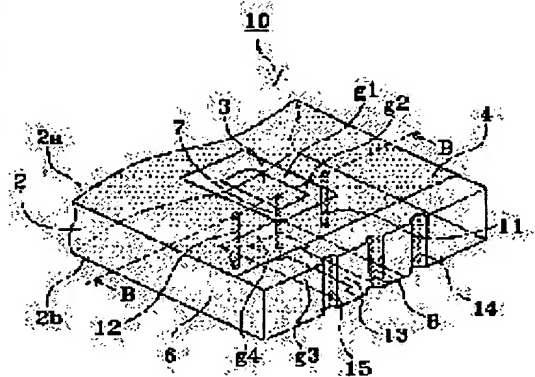
(22)Date of filing : 12.01.1999

(72)Inventor : HASHIMOTO TAKUYA
TANAKA HIROAKI
SAYANAGI KAZUYA

(54) PACKAGE BOARD AND ELECTRONIC DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a package board in which mismatching in a signal line is hardly generated.
SOLUTION: A field through part constituted of a first via hole 7 connecting a first distributed parameter line 3 and a second distributed parameter line and second via holes 11, 12 connecting a first ground electrode 4 and a second ground electrode 6 is set capacitive. The second distributed parameter line connected with an end surface electrode 8 is set inductive. As a result, floating capacity generated in the end surface electrode is canceled by using capacitive property of the feed-through part and the inductive property of the second distributed parameter line, mismatching in a signal line is hardly generated, and deterioration of high-frequency characteristic can be prevented.



LEGAL STATUS

[Date of request for examination]

28.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-208670

(P 2000-208670A)

(43) 公開日 平成12年7月28日 (2000. 7. 28)

(51) Int. Cl. ⁷

H01L 23/12

識別記号

301

F I

H01L 23/12

301 Z

テーマコード (参考)

審査請求 未請求 請求項の数 5

O L

(全 6 頁)

(21) 出願番号 特願平11-5337

(22) 出願日 平成11年1月12日 (1999. 1. 12)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 橋本 拓也

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 田中 裕明

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 佐柳 和也

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

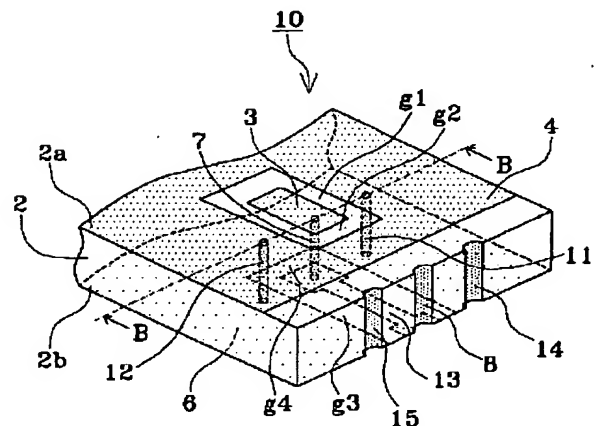
(54) 【発明の名称】 パッケージ基板およびそれを用いた電子装置

(57) 【要約】

【課題】 信号線路における不整合の生じにくいパッケージ基板を提供する。

【解決手段】 第1の分布定数線路3と第2の分布定数線路5を接続する第1のビアホール7と、第1の接地電極4と第2の接地電極6を接続する第2のビアホール11、12で形成されるフィードスルー部を容量性に設定し、端面電極8に接続される第2の分布定数線路5を誘導性に設定する。

【効果】 フィードスルー部の容量性と第2の分布定数線路の誘導性で端面電極で発生する浮遊容量を打ち消して、信号線路における不整合を生じにくくし、高周波特性の劣化を防止することができる。



【特許請求の範囲】

【請求項1】 絶縁体からなる基体と、該基体の一方主面に形成された第1の分布定数線路と、前記基体の他方主面に形成された第2の分布定数線路と、前記第1の分布定数線路の一端と前記第2の分布定数線路の一端を互いに接続するフィードスルー部と、前記基体の端面に形成されるとともに前記第2の分布定数線路の他端に接続された端面電極とからなり、

前記フィードスルー部は、前記第1の分布定数線路の一端に近接して第1の接地電極を形成し、前記第2の分布定数線路の一端に近接して第2の接地電極を形成し、前記第1の分布定数線路の一端と前記第2の分布定数線路の一端を接続する第1のビアホールを形成し、該第1のビアホールに近接して前記第1の接地電極と前記第2の接地電極を接続する第2のビアホールを形成し、前記第1のビアホールと前記第2のビアホールで第3の分布定数線路を形成してなり、

前記フィードスルー部を容量性に設定するとともに、前記第2の分布定数線路を誘導性に設定してなることを特徴とするパッケージ基板。

【請求項2】 前記第2の分布定数線路の特性インピーダンスを、前記第1の分布定数線路の特性インピーダンスより高く設定してなることを特徴とする、請求項1に記載のパッケージ基板。

【請求項3】 前記第3の分布定数線路の特性インピーダンスを、前記第1の分布定数線路の特性インピーダンスより低く設定してなることを特徴とする、請求項1または2に記載のパッケージ基板。

【請求項4】 前記フィードスルー部の容量値を、前記端面電極の浮遊容量に一致させてなることを特徴とする、請求項1ないし3のいずれかに記載のパッケージ基板。

【請求項5】 請求項1ないし4のいずれかに記載のパッケージ基板を用いたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パッケージ基板およびそれを用いた電子装置、特に高周波の信号を扱うチップ部品を搭載するパッケージ基板およびそれを用いた電子装置に関する。

【0002】

【従来の技術】近年の通信機器の小型化や使用周波数の高周波化にともなって、パッケージ基板に設けられた高周波信号入出力用の信号線路の不整合が原因で、そのパッケージ基板を用いた電子装置の高周波特性を劣化させる可能性が高くなってきており、パッケージ基板の信号線路の不整合の改善が必要となってきた。

【0003】図5に、従来のパッケージ基板を示す。図5に示したパッケージ基板1において、基体2の一方主面2aにはストリップ状の第1の分布定数線路3が形成

され、その周囲にはギャップg1およびg2を介して第1の分布定数線路3に近接して第1の接地電極4が形成されている。ここで、第1の分布定数線路3の特性インピーダンスは、設計や測定における基準となる特性インピーダンス、例えば50オームに合わせられている。また、基体2の他方主面2bにはストリップ状の第2の分布定数線路5が形成され、その周囲にはギャップg3およびg4を介して第2の分布定数線路5に近接して第2の接地電極6が形成されている。ここで、ギャップg1は第1の分布定数線路3の側縁方向における第1の接地電極4との間のギャップを、ギャップg2は第1の分布定数線路3の長手方向における第1の接地電極4との間のギャップを示している。また、ギャップg3は第2の分布定数線路5の側縁方向における第2の接地電極6との間のギャップを、ギャップg4は第2の分布定数線路5の長手方向における第2の接地電極6との間のギャップを示している。そして、第1の分布定数線路3と第2の分布定数線路5は、その一端同士が互いに対向して形成され、第1のビアホール7で接続されている。さらに、第2の分布定数線路5の他端は、基体2の端面に形成されたはんだ付け用の端面電極8に接続されている。そして、第1の分布定数線路3と第1のビアホール7と第2の分布定数線路5と端面電極8とで信号線路を構成している。

【0004】ここで、第1の分布定数線路3は、第1の接地電極4との関係で見ればコプレーナ線路となり、第2の接地電極6との関係で見ればマイクロストリップ線路となる。また、第2の分布定数線路5も同様に、第2の接地電極6との関係で見ればコプレーナ線路となり、第1の接地電極4との関係で見ればマイクロストリップ線路となる。

【0005】

【発明が解決しようとする課題】図6に、図5に示したパッケージ基板1のA-A断面図、すなわち信号線路に沿った断面図を示す。図6において、第1の分布定数線路3から第1のビアホール7と第2の分布定数線路5を経由して端面電極8までを、s1、s2、s3、s4の4つの領域に分けている。ここで、領域s1は基体2の一方主面2a側に形成された第1の分布定数線路3を、領域s3は基体2の他方主面2b側に形成された第2の分布定数線路5を、領域s2は第1の分布定数線路3と第2の分布定数線路5を接続するフィードスルー部を、領域s4は端面電極8を示している。

【0006】図7に、図5に示したパッケージ基板1の信号線路部分の等価回路を、第1の分布定数線路3から端面電極8までを、s1、s2、s3、s4の4つの領域に分けて示す。図7において、領域s2のLは第1のビアホール7のインダクタンス成分を、C2は第1の分布定数線路3と第1の接地電極4との間のギャップg2に形成された浮遊容量を、C4は第2の分布定数線路5

と第2の接地電極6との間のギャップg4に形成された浮遊容量を示している。そして、領域s4のC8は端面電極8およびそれに付着するはんだとその周囲に存在する接地電極との間に形成される浮遊容量を示している。

【0007】このように、パッケージ基板1においては、第1のビアホール7の部分と比較的大きなインダクタンス成分Lとなり、さらにその両端において浮遊容量C2、C4を有し、さらに第2の分布定数線路5の他端にも浮遊容量C8を有することになる。そのため、たとえば第2の分布定数線路5を第1の分布定数線路3と同じ基準となる特性インピーダンスに設定してあっても、領域s2や領域s4の影響で信号線路全体に不整合が生じてしまうという問題がある。そして、この信号線路の不整合は、この構造を有するパッケージ基板の高周波特性を劣化させ、ひいてはそのパッケージ基板を用いた電子装置の高周波特性を劣化させる原因になるという問題がある。

【0008】本発明は上記の問題点を解決することを目的とするもので、信号線路における不整合の生じにくいパッケージ基板およびそれを用いた電子装置を提供する。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明のパッケージ基板は、絶縁体からなる基体と、該基体の一方主面に形成された第1の分布定数線路と、前記基体の他方主面に形成された第2の分布定数線路と、前記第1の分布定数線路の一端と前記第2の分布定数線路の一端を互いに接続するフィードスルー部と、前記基体の端面に形成されるとともに前記第2の分布定数線路の他端に接続された端面電極とからなり、前記フィードスルー部は、前記第1の分布定数線路の一端に近接して第1の接地電極を形成し、前記第2の分布定数線路の一端に近接して第2の接地電極を形成し、前記第1の分布定数線路の一端と前記第2の分布定数線路の一端を接続する第1のビアホールを形成し、該第1のビアホールに近接して前記第1の接地電極と前記第2の接地電極を接続する第2のビアホールを形成し、前記第1のビアホールと前記第2のビアホールで第3の分布定数線路を形成してなり、前記フィードスルー部を容量性に設定するとともに、前記第2の分布定数線路を誘導性に設定してなることを特徴とする。

【0010】また、本発明のパッケージ基板は、前記第2の分布定数線路の特性インピーダンスを、前記第1の分布定数線路の特性インピーダンスより高く設定してなることを特徴とする。

【0011】また、本発明のパッケージ基板は、前記第3の分布定数線路の特性インピーダンスを、前記第1の分布定数線路の特性インピーダンスより低く設定してなることを特徴とする。

【0012】また、本発明のパッケージ基板は、前記フ

ィードスルー部の容量値を、前記端面電極の浮遊容量に一致させてなることを特徴とする。

【0013】また、本発明の電子装置は、上記のいずれかに記載のパッケージ基板を用いたことを特徴とする。

【0014】このように構成することにより、本発明のパッケージ基板によれば、信号線路における不整合を生じにくくし、高周波特性の劣化を防止することができる。

【0015】また、本発明の電子装置においては、高周波特性の劣化を防止することができる。

【0016】

【発明の実施の形態】図1に、本発明のパッケージ基板の一実施例を示す。図1において、図5と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0017】図1に示したパッケージ基板10において、フィードスルー部には第1のビアホール7に近接して、第1の接地電極4と第2の接地電極6を接続する第2のビアホール11および12が設けられている。また、基体2の他方主面2bには、第2の分布定数線路13が、一端と他端の間において、その幅をステップ状に狭くして形成されている。さらに、端面電極8の両側には、第2の接地電極6に接続してはんだ付け用の端面接地電極14および15が設けられている。

【0018】ここで、図2に、図1に示したパッケージ基板10のB-B断面図を、すなわちフィードスルー部の断面図を示す。図2において、C11は第1のビアホール7と第2のビアホール11との間に分布的に形成される容量を、C12は第1のビアホール7と第2のビアホール12との間に分布的に形成される容量を示している。これより、パッケージ基板10においては、フィードスルー部の第1のビアホール7は、図7に示したような単なる集中定数的なインダクタンスではなく、第1のビアホール7を主線路とし、第2のビアホール11、12を接地電極とする第3の分布定数線路とみなせることが分かる。そして、第1のビアホール7と第2のビアホール11、12の間隔を変えることによって、その特性インピーダンスを比較的自由に設定することができる。

【0019】図3に、パッケージ基板10の線路部分の等価回路を示す。図3において、図7と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0020】図3において、フィードスルー部である領域s2の、図7ではインダクタンス成分Lとなっていた部分が、第1のビアホール7を主線路とし、第2のビアホール11、12を接地電極とした第3の分布定数線路16に置き換わっている。そして、第3の分布定数線路16の特性インピーダンスは、第1のビアホール7と第2のビアホール11、12との間隔を小さくすることによって、基準となる特性インピーダンスである第1の分布定数線路3の特性インピーダンスよりも低く設定してある。そのため、領域2を集中定数的に見ると、容量が

接地電極との間に設けられている状態とほぼ等価になる。すなわち、フィードスルー部である領域 s 2 は容量性となる。

【0021】一方、領域 s 3 の第 2 の分布定数線路 1 3 の特性インピーダンスは、線路幅を狭くして基準となる特性インピーダンスである第 1 の分布定数線路 3 の特性インピーダンスよりも高く設定されている。そのため、領域 s 3 は集中定数的には直列にインダクタが設けられている状態とほぼ等価になる。すなわち、領域 s 3 の第 2 の分布定数線路 1 3 は誘導性となる。

【0022】その結果、集中定数的に見れば、領域 s 2 は容量性に、領域 s 3 は誘導性に見え、領域 s 4 の浮遊容量 C 8 を加えると、領域 s 2 から s 4 の間で 2 つの並列の容量と 1 つの直列のインダクタからなる π 型のローパスフィルタ回路を構成していることになる。

【0023】このように構成されたパッケージ基板 1 0 の信号線路においては、領域 s 4 の浮遊容量 C 8 を、領域 s 3 のインダクタと領域 s 2 の容量とである程度打ち消すことができ、信号線路全体の不整合を改善することができる。特に π 型のローパスフィルタ回路に形成することによって、整合する周波数帯域、例えば反射損失が -20 dB 以下の周波数帯域を広くすることができ、信号線路を比較的高い周波数まで整合の良い状態に維持することができる。そして、信号線路の不整合を改善することによって、パッケージ基板 1 0 自身の高周波特性の劣化を防止することができる。

【0024】次に、パッケージ基板 1 0 においては、フィードスルー部である領域 s 2 を集中定数的に見た場合の容量の値については特に定義しなかったが、これを領域 s 4 の浮遊容量 C 8 の容量の値と等しくしてもよい。この場合、これに応じて領域 s 3 を集中定数的に見た場合のインダクタの値を決定することによって、特定の周波数において領域 s 4 の浮遊容量 C 8 を完全に打ち消すことが可能になる。そして、これによって、信号線路がある程度まで整合する周波数帯域をさらに広げることができ、より高い周波数までパッケージ基板の高周波特性の劣化を防止することができる。

【0025】ところで、パッケージ基板 1 0 においては、第 3 の分布定数線路 1 6 の特性インピーダンスを第 1 の分布定数線路 3 の特性インピーダンスよりも低く設定することによって、フィードスルー部である領域 s 2 を集中定数的に容量性に見えるようにしている。しかし、第 3 の分布定数線路 1 6 の両端に形成される浮遊容量 C 2 と C 4 の容量が大きければ、第 3 の分布定数線路 1 6 の特性インピーダンスが基準の特性インピーダンスである第 1 の分布定数線路 3 の特性インピーダンスと同じか、あるいは少し高くても領域 s 2 は集中定数的に容量性に見える。そのため、第 3 の分布定数線路 1 6 の特性インピーダンスは、必ずしも第 1 の分布定数線路 3 の特性インピーダンスより低くなくても構わないものであ

る。

【0026】なお、パッケージ基板 1 0 において、第 1 のビアホール数を 1 つとしたが、これは 1 つに限られるものではなく、対向して形成された第 1 の分布定数線路 3 の一端と第 2 の分布定数線路 1 3 の一端との間で 2 つ以上形成しても構わないものである。また、第 2 のビアホール数も 2 つに限られるものではなく、第 3 の分布定数線路 1 6 の特性インピーダンスをどのような値にするかによって、1 つであっても、3 つ以上であっても構わないものである。また、第 1 のビアホールと第 2 のビアホールとの間隔も、同じく第 3 の分布定数線路 1 6 の特性インピーダンスをどのような値にするかによって、自由に決定されるものである。

【0027】また、パッケージ基板 1 0 においては、領域 s 3 の第 2 の分布定数線路 1 3 を一端と他端の間において、その幅をステップ状に狭くして形成しているが、線路の幅を変えずに線路と接地電極との間隔を広げることによって特性インピーダンスを高くしても構わないものである。さらに、線路の幅あるいは線路と接地電極との間隔の変化する部分をテーパ状に形成することもでき、これによって第 2 の分布定数線路 1 3 自身の特性的な不連続性を低減することができ、信号線路全体の整合をさらに良くすることができるものである。

【0028】図 4 に、本発明の電子装置の一実施例の断面図を示す。図 4 において、図 1 と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0029】図 4 において、電子装置 2 0 は、パッケージ基板 1 0 の一方主面に形成された第 1 の接地電極 4 の略中央部に、半導体チップ 2 1 を搭載し、半導体チップ 2 1 と第 1 の分布定数線路 3 をワイヤー 2 2 で接続し、さらに、半導体チップ 2 1 とワイヤー 2 2 と第 1 の分布定数線路 3 の全体をカバー 2 3 で覆って構成されている。

【0030】このように構成された電子装置 2 0 において、半導体チップ 2 1 はワイヤー 2 2 を介してパッケージ基板 1 0 の信号線路と接続されている。そして、パッケージ基板 1 0 の信号線路は、第 1 の分布定数線路 3 から端面電極 8 までの間が不整合が少なくなるように形成されているため、半導体チップ 2 1 からパッケージ基板 1 0 の端面電極 8 までの間においても不整合が少なく、電子装置 2 0 全体としての高周波特性の劣化を防止することができる。

【0031】なお、電子装置 2 0 においては、半導体パッケージに 1 つの半導体チップを搭載して構成しているが、2 つ以上の半導体チップを搭載して構成しても構わないものである。また、パッケージ基板に搭載するチップは半導体チップに限るものではなく、受動素子を形成した誘電体チップや多層誘電体チップなど、別のチップであっても構わないものである。

【0032】

【発明の効果】本発明のパッケージ基板によれば、絶縁体からなる基体の一方主面に第1の分布定数線路を形成し、他方主面に第2の分布定数線路を形成し、第1および第2の分布定数線路の一端同士をフィードスルー部に接続し、基体の端面に第2の分布定数線路の他端に接続して端面電極を形成してなり、さらにフィードスルー部が、第1および第2の分布定数線路の一端同士を接続する第1のビアホールと、第1の分布定数線路の一端に近接して形成された第1の接地電極と、第2の分布定数線路の一端に近接して形成された第2の接地電極とを接続する第2のビアホールからなり、そのフィードスルー部を容量性に設定するとともに、第2の分布定数線路を誘導性に設定して構成することによって、信号線路の不整合を改善し、高周波特性の劣化を防止することができる。

【0033】また、フィードスルー部の容量値を端面電極の浮遊容量に一致させることによって、信号線路の不整合をさらに改善し、より高い周波数まで高周波特性の劣化を防止することができる。

【0034】また、本発明の電子装置によれば、本発明のパッケージ基板を用いることによって高周波特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】本発明のパッケージ基板の一実施例を示す透視斜視図である。

【図2】図1のパッケージ基板のB-B断面図である。

【図3】図1のパッケージ基板の信号線路の等価回路である。

【図4】本発明の電子装置の一実施例を示す断面図である。

【図5】従来のパッケージ基板を示す透視斜視図である。

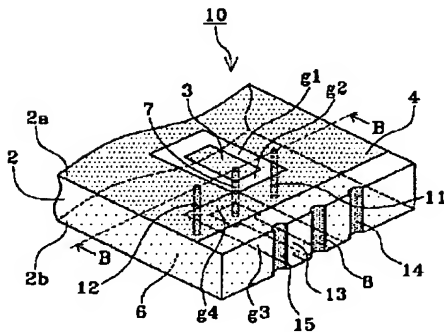
【図6】図5のパッケージ基板のA-A断面図である。

【図7】図5のパッケージ基板の信号線路の等価回路である。

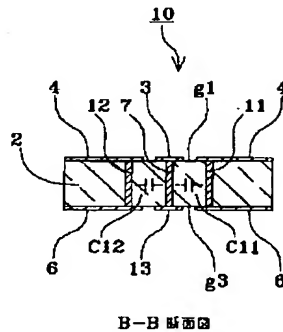
【符号の説明】

- 2…基体
- 2a…一方主面
- 2b…他方主面
- 3…第1の分布定数線路
- 4…第1の接地電極
- 5、13…第2の分布定数線路
- 6…第2の接地電極
- 7…第1のビアホール
- 8、14、15…端面電極
- 10…パッケージ基板
- 11、12…第2のビアホール
- 16…第3の分布定数線路
- 20…電子装置
- g1、g2、g3、g4…ギャップ
- s1、s2、s3、s4…信号線路の領域

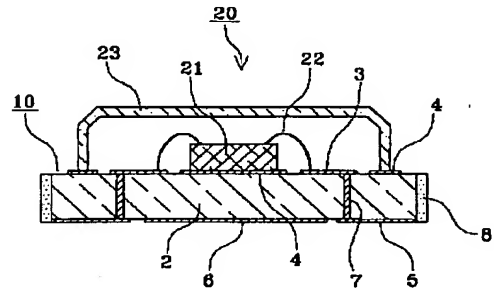
【図1】



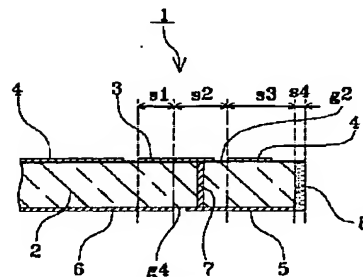
【図2】



【図4】

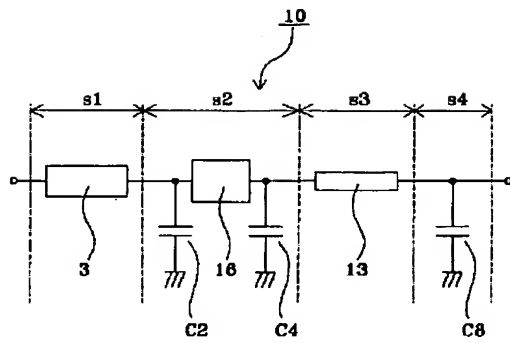


【図6】

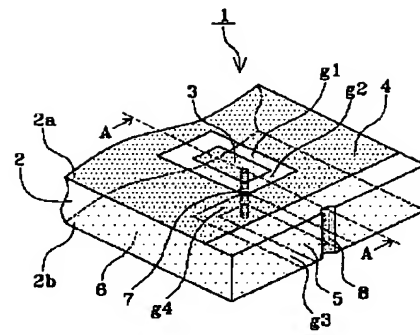


A-A 断面図

【図 3】



【図 5】



【図 7】

